

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/NO04/000381

International filing date: 10 December 2004 (10.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: NO  
Number: 20035537  
Filing date: 11 December 2003 (11.12.2003)

Date of receipt at the International Bureau: 21 February 2005 (21.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse



KONGERIKET NORGE  
The Kingdom of Norway

Bekreftelse på patentsøknad nr  
*Certification of patent application no*

▽  
**20035537**

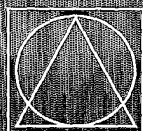
► Det bekreftes herved at vedheftede dokument er nøyaktig utskrift/kopi av ovennevnte søknad, som opprinnelig inngitt 2003.12.11

► *It is hereby certified that the annexed document is a true copy of the above-mentioned application, as originally filed on 2003.12.11*

2005.02.03

*Line Reum*

Line Reum  
Saksbehandler



**PATENTSTYRET®**  
Styret for det industrielle rettsvern

47 72857301

2003 -12- 11

0

www.patentstyret.no



Ferdig utfylt skjema sendes til adressen nedenfor. Vennligst ikke heft sammen sidene.  
Vi ber om at blankettene utfylles *maskinelt* eller ved bruk av *blokkbokstaver*. Skjema for  
utfylling på datamaskin kan lastes ned fra **www.patentstyret.no**.

Alm. Hgi. 13 JUN 2005

**Søke** Den som søker om patent blir også innehaver av en eventuell rettighet. Må fylles ut:

Foretakets navn (fornavn hvis søker er person):

Etternavn (hvis søker er person):

Leiv Eiriksson Nyskapning AS

☒ Kryss av hvis søker tidligere har vært kunde hos Patentstyret.

Oppgi gjerne kundennummer:

Adresse:

Leiv Eiriksson Senter

Postnummer:

7462

Poststed:

Trondheim

Land:

Norge

☐ Kryss av hvis flere søkere er angitt i medfølgende skjema eller på eget ark.

☐ Kryss av hvis søker(ne) utfører mindre enn 20 årsverk (se veiledning).

☐ Kryss av hvis det er vedlagt erklæring om at patentsøker(ne) innehar retten til oppfinnelsen.

**Kontaktinfo** Hvem skal Patentstyret henvende seg til? Oppgi telefonnummer og eventuell referanse.

Fornavn til kontaktperson for fullmektig eller søker:

Etternavn:

Endre

Woldstad



Telefon:

7 2 8 5 7 3 0 0

Referanse (maks. 30 tegn):

☒ Evt. adresse til kontaktperson.

Postnummer:

Poststed:

Land:

**Fullmektig** Hvis du ikke har oppnevnt en fullmektig, kan du gå til neste punkt.

Foretakets navn (fornavn hvis fullmektig er person):

Etternavn (hvis fullmektig er person):

CURO AS

☒ Kryss av hvis fullmektig tidligere har vært kunde hos Patentstyret.

Oppgi gjerne kundennummer:

Adresse:

Postboks 38

Postnummer:

7231

Poststed:

Lundamo

Land:

Norge

**Oppfinner** Oppfinneren skal alltid oppgis, selv om oppfinner og søker er samme person.

Oppfinnerens fornavn:

Etternavn:

Snorre

Aunet

☐ Kryss av hvis oppfinner tidligere har vært kunde hos Patentstyret.

Oppgi gjerne kundennummer:

Adresse:

Dybdahls v 17C

Postnummer:

7051

Poststed:

Trondheim

Land:

Norge

☐ Kryss av hvis flere oppfinnere er angitt i medfølgende skjema eller på eget ark.

## ADRESSE

Postboks 8160 Dep.  
Kobenhavngaten 10  
0033 Oslo

## TELEFON

22 38 73 00  
TELEFAKS  
22 38 73 01

## BANKGIRG

8278.01.00192  
ORGANISASJONENR.  
971526157 MVA



**PATENTSTYRET®**  
Styret for det industrielle rettsvern

SØKNAD s. 1 av 2

FLERE SØKERE

FLERE OPPFINNERE

PRIORITETER

VEILEDNING

47 72857301

www.patentstyret.no



... søknad om patent

**Tittel:** En kort benevnelse eller tittel for oppfinnelsen (ikke over 256 tegn, inkludert mellomrom).

Tittel:

Kretselement

**PCT:** Fylls bare ut hvis denne søknaden er en videreføring av en tidligere innlevert internasjonal søknad (PCT).

Inngivelsesdato (åååå.mm.dd):

Søknadsnummer:

PCT-søknads dato og nummer:

PCT

**Prioritetskrav:** Hvis du ikke har søkt om denne oppfinnelsen tidligere (i et annet land eller i Norge) kan du gå videre til neste punkt.

Prioritet kreves på grunnlag av tidligere innlevert søknad i Norge eller utlandet:

Inngivelsesdato (åååå.mm.dd):

Landkode:

Søknadsnummer:

Opplysninger om tidligere søknad. Ved flere krav skal tidligste prioritet angis her:

☐ Flere prioritetskrav er angitt i medfølgende skjema, eller på eget ark.

**Mikroorganisme:** Fylls bare ut hvis oppfinnelsen omfatter en mikroorganisme.

Søknaden omfatter en kultur av mikroorganisme. Deponeringssted og nummer må oppgis:

Deponeringssted og nummer (benytt gjerne eget ark):

☐ Prøve av kulturen skal bare utleveres til en særlig sakkyndig.

**Avdel/utskilt:** Hvis du ikke har søkt om patent i Norge tidligere, kan du gå videre til neste punkt.

Søknaden er avdelt eller utskilt fra tidligere lavert søknad i Norge:

☐ Avdelt søknad

Date (åååå.mm.dd):

Søknadsnummer:

☐ Utskilt søknad

Informasjon om opprinnelig søknad/innsendt tilleggsmateriale

**Annnet:**

☒ Søknad er også levert per telefaks.

Oppgi dato (åååå.mm.dd):

2 0 0 3 1 2 1 1

☒ Jeg har bedt om forundersøkelse.

Oppgi nr. (årstall - nummer - bokstavn):

2 0 0 3 0 4 5 1

**Vedlegg:** Angi hvilken dokumentasjon av oppfinnelsen du legger ved, samt andre vedlegg.

☐ Eventuelle tegninger i to eksemplarer

Oppgi antall tegninger:

☒ Beskrivelse av oppfinnelsen i to eksemplarer

☒ Patentkrav i to eksemplarer

☐ Fullmaktsdokument(er)

☒ Sammenheng på norsk i to eksemplarer

☐ Overdragelsesdokument(er)

☐ Dokumentasjon av eventuelle prioritetskrav (prioritetsbevis)

☐ Erklæring om retter til oppfinnelsen

☐ Oversettelse av internasjonal søknad i to eksemplarer (kun hvis PCT-felt over er fylt ut)

**Dato/underskrift:** Sjekk at du har utfyllt punktene under «Søker», «Oppfinner» og «Vedlegg». Signer søknaden.

Sted og dato (blokkbokstaver):

Lundamo 11 desember 2003

Navn i blokkbokstaver:

CURO AS

Signatur:

Einar Woldstad

NB! Søknadsavgiften vil bli fakturert for alle søknader (dvs. at søknadsavgiften ikke skal følge søknaden).

Betalingsfrist er ca. 1 måned, se faktura.



**PATENTSTYRET**  
Styret for det industrielle rettsvern

11/12/2003

15:05

CURO AS → STYRET

AV 692 0005

47 72857301

Patentkontoret CURO AS Industrial Property Office

Patentkontoret

**CURO**

**Main-office:**

Arnenvegen 1

P.O. Box 38

N - 7231 Lundamo

Norway

Phone +47 7285 7300

Fax +47 7285 7301

[curo@curo.no](mailto:curo@curo.no)

[www.curo.no](http://www.curo.no)

NO 936 803 911

**Oslo-office:**

Kjeller Teknologipark

Phone + 47 6484 4380

Fax +47 6484 4381

Reiel Folven\*

Per G. Berg\*

Bodil Merete Sollie

Endre Woldstad

Krister Mindrebø

\*Members of Scandinavian

Patent Attorney Society

**Søker:** Leiv Eiriksson Nyskapning AS  
Postboks 1262, Pirsenteret  
7462 Trondheim

**Referanse:** Snorre Aunet

**Fullmektig:** CURO AS, Postboks 38, 7231 Lundamo

**Tittel:** Kretselement

Den foreliggende oppfinnelsen angår et kretselement i samsvar med innledningen til patentkrav 1. Kretselementet har relativt lavt energiforbruk, og vil kunne være svært passende innenfor generelle ultra-laveffekts anvendelser, slik som nisjer som romfartsteknologi, biologiske implanater og nevromorf elektronikk.

5

### Bakgrunn

Digitale systemer anvendes i en rekke ulike sammenhenger når det gjelder prosessering og beregning av data, for eksempel styringssystemer, kommunikasjonssystemer og målesystemer. Digitale kretser anvender diskrete signaler. Disse signalene er som oftest binære, det vil si at det anvendes kun to verdier. Fordelen med dette er at påliteligheten i forhold til feil blir minimal, og dermed blir kretsene nøyaktige.

Analoge systemer anvender analoge signaler som varierer kontinuerlig i et bestemt område. Analoge systemer er i større grad sårbare for feil.

Digitale systemer omfatter vanligvis en sentral prosesseringsenhet (CPU), som utfører aritmetiske funksjoner (for eksempel adderer, subtraherer, multipliserer og dividerer) og logiske funksjoner (for eksempel AND, OR, NAND, NOR og NOT). De aritmetiske og logiske funksjonene utføres av et antall logiske porter, eller kretselementer, som er koblet sammen og danner et nettverk med flere logiske dybder. De logiske kretselementene omfatter vanligvis én eller flere innganger, og en utgang. Antallet innganger betegner kretselementets "fan-in". Vanligvis betegner AND den logiske funksjonen AND mellom to innganger, mens når antallet innganger er tre betegnes den AND3. Når det gjelder notasjon betegner "" invertert.

Ved design av kretser må det tas en rekke hensyn ut fra hvilke krav som stilles til anvendelsen. Kretselementene omfatter for eksempel ulike typer transistorer, kondensatorer og resistanser, og velges ut fra disse kravene. Antall logiske dybder, det vil si antallet kretselementer koblet etter hverandre i serie mellom inngangen og utgangen, har flere konsekvenser. Dersom antallet lag økes, vil antallet kretselementer og innganger kunne minskes. Imidlertid vil dette kunne føre til økt forsinkelse og dermed påvirkes avhengigheten mellom de forskjellige kretselementene.

CMOS-transistorer er anordninger med fire terminaler eller elektroder; kilde (eng: source), dren (eng: drain), gate (eng: gate) og brønn (eng: well). I denne sammenhengen finnes det to typer slike transistorer, p-kanals MOSFET-transistorer og n-kanals MOSFET-transistorer. I de aller fleste anvendelser av slike transistorer er brønnen koblet til kilden.

Innenfor utviklingen av prosessorenheter det stor fokus hastighet. Ettersom hastigheten til prosessorenhetene øker, øker også energibehovet og driftstemperaturen. Samtidig anvendes prosesseringsenheter også i bærbare datamaskiner, hvor det er viktig at ikke energiforbruket er alt for stort i forhold til batterikapasiteten.

- 5 I en rekke andre anvendelser er imidlertid energiforbruket til prosesseringsenheter langt viktigere enn hastigheten. Dette gjelder for eksempel innenfor romfartsteknologi, i forbindelse med biologiske implanter, nevromorf elektronikk og nanoteknologi. Innenfor nevromorf elektronikk, slik som i elektroniske kretser som modellerer eller simulerer nevrale nettverk, anvendes ofte både digitale og analoge signaler på innganger og utganger  
10 i kretsene.

- Det er kjent å redusere driftsspenningen hos elektriske kretser, slik at transistorene opererer i det som kalles subterskel eller svak inversjon (subthreshold/weak inversion). Det er kjent fra artikkelen "*Robust Ultra-Low Power Sub-threshold DTMOs Logic*", Soeleman, H., Roy, K. og Paul, B., ISLPED 2000, Rapallo, Italy, at operasjon i dette området  
15 medfører en betydelig reduksjon i energiforbruket. En konsekvens er imidlertid at kretsen blir langsommere i forhold til det klassiske operasjonsområdet.

- Lineær terskellogikk anvender diskrete signaler med to eller flere verdier. For eksempel anvender ternær logikk tre verdier på utgangen, mens kvaternær logikk anvender fire verdier på utgangen. Terskellogikk kan også ha flere diskrete nivåer på inngangssignalene,  
20 mens utgangssignalet er binært, logisk 0 eller 1.

Følgende formel beregner fortegnet  $f$  til den vektete summen av en rekke innganger  $x_1 \dots x_n$ :

$$f(x_1, \dots, x_n) = \text{sgn}(\sum_{i=1}^n \omega_i x_i - \theta) \quad [1]$$

- hvor  $\omega$  representerer vekten tilknyttet inngangen  $x_i$ ,  $\theta$  representerer terskelverdien og  $n$   
25 representerer antall innganger eller fan-in. Dette er blant annet kjent fra Beiu et al. omtalt nedenfor.

Det er kjent at kretselementer som anvender terskellogikk vil kunne få redusert antallet transistorer og mengden ledninger. Dette reduserer igjen arealet til brikkene, noe som igjen fører til reduksjon av produksjonskostnad.

- 30 Artikkelen "*VLSI Implementations of Threshold Logic - A Comprehensive Survey*", Beiu, Valeriu et al, IEEE Transactions on neural networks, vol. 14, No. 5. september 2003

omfatter en historisk oversikt over den tekniske utviklingen på området terskellogikk. Her nevnes blant annet patentskriftet US 3,715,603, hvor et majoritets-minoritets kretselement oppnås ved hjelp av seks transistorer. Denne vil kunne fungere som et logisk NOR2 eller logisk NAND2 kretselement. Ulempen ved denne kretsen er at det trengs en inverter for å  
5 få en oppforsterkning av signalet før utgangen.

#### Formål

Hovedformålet med den foreliggende oppfinnelsen er å fremskaffe et logisk kretselement med svært lavt energiforbruk, det vil si at kretselementet skal ha svært få transistorer og  
10 svært få ledere. Videre er det et formål at transistorene hos kretselementet skal operere i subterskel og at kretselementet skal anvende lineær terskellogikk hvor de diskrete signalene representerer to eller flere verdier.

Et ytterligere formål er at funksjonen til kretselementet skal være rekonfigurerbart i samtid.

15

#### Oppfinnelsen

Den foreliggende oppfinnelsen fremgår av den karakteriserende delen av patentkrav 1. Ytterligere utførelsesformer fremgår av de uselvstendige patentkravene.

#### 20 Eksempel

I det følgende vil den foreliggende oppfinnelsen bli beskrevet med henvisning til de vedlagte tegningene, hvor:

fig. 1 viser et kretsskjema over en utførelsesform av kretselementet i samsvar med oppfinnelsen;

25 fig. 2 viser et kretsskjema over en utførelsesform av kretselementet anvendt som en fulladderer;

fig. 3 - 5 viser resultatet av AimSpice-simuleringer av kretselementet, hvor horisontal akse viser tid og vertikal akse viser spenning i volt.

fig. 6 viser resultatet av en ELDO-simulering av kretselementet/fulladdereren.

30

Det henvises til fig. 1, hvor en utførelsesform av oppfinnelsen er vist. Kretselementet omfatter her et antall  $N=3$  par transistorer, men  $N$  kan variere fra  $N=2$  og oppover. Det er ett par transistorer per inngangsterminal, det vil si at  $N$  også betegner antallet



inngangsterminaler. Dersom det skal anvendes et digitalt utgangssignal vil forsinkelsene i kretselementet sette begrensning i antallet inngangsterminaler.

Hvert par av transistorer omfatter en NMOS-transistor MN og en PMOS-transistor MP. Det første paret transistorer omfatter altså NMOS-transistoren  $MN_1$  og PMOS-transistoren  $MP_1$ , det andre paret transistorer omfatter NMOS-transistoren  $MN_2$  og PMOS-transistoren  $MP_2$ , mens det tredje paret transistorer omfatter NMOS-transistoren  $MN_3$  og PMOS-transistoren  $MP_3$ . I denne anvendelsen betraktes transistorene som en anordning med fire terminaler eller elektroder; kilde, dren, gate og brønn. Drenterminalene hos NMOS-transistoren MN er koblet til drenterminalen hos PMOS-transistoren MP. Videre er

10 drenterminalen hos det første paret transistorer koblet til drenterminalen hos det andre paret transistorer, som igjen er koblet til drenterminalen hos det tredje paret transistorer.

Kildeterminalen hos NMOS-transistoren er koblet til et nedre spenningsnivå  $V_{ss}$  som typisk vil være jord eller 0 V. Kildeterminalen hos PMOS-transistoren er koblet til et øvre spenningsnivå ( $V_{DD}$ ). Forsyningsspenningen i mange av dagens standard CMOS integrerte

15 kretser er 3,3V. Spenningsnivået  $V_{DD}$  vil derfor typisk være mindre enn 1 V, slik at transistorene opererer i subterskel eller svak inversjon.

Kretselementet omfatter videre  $N=3$  inngangsterminaler  $X_1$ ,  $X_2$  og  $X_3$ .

Inngangsterminalen  $X_1$  er både koblet til gateterminalen hos PMOS-transistoren  $MP_1$  og til gateterminalen hos NMOS-transistoren  $MN_1$ , inngangsterminalen  $X_2$  er både koblet til

20 gateterminalen hos PMOS-transistoren  $MP_2$  og til gateterminalen hos NMOS-transistoren  $MN_2$ , og inngangsterminalen  $X_3$  er både koblet til gateterminalen hos PMOS-transistoren  $MP_3$  og til gateterminalen hos NMOS-transistoren  $MN_3$ .

Videre omfatter kretselementet en utgangsterminal CN, som er koblet til drenterminalen hos PMOS-transistoren  $MP_3$  og til drenterminalen hos NMOS-terminalen  $MN_3$ .

25 Videre omfatter kretselementet en styringsterminal BN koblet til brønnterminalen hos NMOS-transistorene  $MN_1$ ,  $MN_2$  og  $MN_3$  og en styringsterminal BP koblet til brønnterminalen hos PMOS-transistoren  $MP_1$ ,  $MP_2$  og  $MP_3$ .

Dette kretselementet har en rekke anvendelsesområder, som vil bli nærmere forklart ved

30 hjelp av følgende eksempler:

**Eksempel 1: Kretselementet som logisk NAND3, NOR3 eller CARRY'**

I det følgende henvises det til fig. 1. I dette eksemplet er spenningsnivåene på terminalene  $V_{SS}$  og BN lik 0 V, mens spenningsnivåen  $V_{DD}$  er lik 0,7 V. Dette tilsier at transistorene opererer i subterskelområdet. Gjennom å variere spenningsnivået på styringsterminalen BP skal spenningsnivået på utgangsterminalen CN simuleres for ulike logiske spenningsnivåer på inngangsterminalene  $X_1$ ,  $X_2$ ,  $X_3$ .

Disse simuleringene er utført ved hjelp av programmet AimSpice, og resultatene derfra er hentet inn i programmet MatLab for presentasjon av resultatet i form av grafene som er vist i fig. 3, 4 og 5.

I fig. 4 er spenningsnivået på styringsterminalen BP lik 0,2 V. Resultatet av simuleringen er presentert i følgende tabell som logiske verdier:

Tid [ $\times 10^{-5}$ s]	$X_1$	$X_2$	$X_3$	CN
0,5	0	0	0	1
1,5	1	0	0	1
2,5	0	1	0	1
3,5	1	1	0	1
4,5	0	0	1	1
5,5	1	0	1	1
6,5	0	1	1	1
7,5	1	1	1	0

Tabell 1: NAND-funksjon

Vi ser fra tabellen at det er kun når alle inngangsterminalene har logisk verdi lik 1 at utgangsterminalen får logisk verdi 0. Dette tilsvarer en NAND-funksjon.

I fig. 4 er spenningsnivået på styringsterminalen BP lik 0,7 V. Resultatet av simuleringen er presentert i følgende tabell som logiske verdier:

47 72857301

6

	Tid [ $\times 10^{-5}$ s]	$X_1$	$X_2$	$X_3$	CN
	0,5	0	0	0	1
	1,5	1	0	0	0
	2,5	0	1	0	0
5	3,5	1	1	0	0
	4,5	0	0	1	0
	5,5	1	0	1	0
	6,5	0	1	1	0
	7,5	1	1	1	0

10

Tabell 2: NOR-funksjon

Vi ser fra tabellen at det er kun når alle inngangsterminalene har logisk verdi lik 0 at utgangsterminalen får logisk verdi 1. Dette tilsvarer en NOR-funksjon.

15

I fig. 5 er spenningsnivået på styringsterminalen BP lik 0,342 V. Resultatet av simuleringen er presentert i følgende tabell som logiske verdier:

	Tid [ $\times 10^{-5}$ s]	$X_1$	$X_2$	$X_3$	CN
	0,5	0	0	0	1
20	1,5	1	0	0	1
	2,5	0	1	0	1
	3,5	1	1	0	0
	4,5	0	0	1	1
	5,5	1	0	1	0
25	6,5	0	1	1	0
	7,5	1	1	1	0

Tabell 3: CARRY'-funksjon

30 Vi ser fra tabellen at når ingen, en av eller alle inngangsterminalene har logisk verdi lik 1 så får utgangsterminalen logisk verdi 1. Når to av inngangsterminalene har logisk verdi lik 1 så får utgangsterminalen logisk verdi 0. Dette tilsvarer en CARRY'-funksjon.

Ved hjelp av kun seks transistorer oppnås altså i dette eksemplet et kretselement som kan rekonfigureres mellom logisk NAND3, logisk NOR3 eller CARRY i sanntid avhengig av signalet på styringsterminalen BP. En separat styringskrets vil selvfølgelig kreves for styringsterminalen BP, men samme styringskrets kan styre svært mange slike

- 5 kretselementer samtidig på en brikke, slik at totalbesparelsen i antallet transistorer kan bli betydelig.

### Eksempel 2: Kretselementet som fulladderer

- I det følgende henvises det til fig. 2. En fulladderer oppnås ved å koble to kretselementer som beskrevet ovenfor i serie som beskrevet nedenfor. Alle inngangsterminalene  $x_1, x_2, x_3$ , det nedre spenningsnivået  $V_{SS}$  og det øvre spenningsnivået  $V_{DD}$  samt styringsterminalen BN hos begge kretselementene er koblet som beskrevet ovenfor. Kretselementene er koblet i serie ved at utgangsterminalen CN hos det første kretselementet er koblet til styringsterminalen BP hos det andre kretselementet. Det første kretselementet omfatter 10 transistorparene  $MP_{1-3}, MN_{1-3}$ , mens det andre kretselementene omfatter transistorparene  $MP_{4-6}, MN_{4-6}$ .

- Styringsterminalen BP hos det første kretselementet er som beskrevet ovenfor. En utgangsterminal SN hos det andre kretselementet er på samme måte som utgangsterminalen CN koblet til drenerterminalen hos PMOS-transistoren  $MP_6$  og til drenerterminalen hos 15 NMOS-terminalen  $MN_6$ .

- Ytterligere to transistorpar anvendes for å oppnå en fulladderer i samsvar med oppfinnelsen. Utgangsterminalen CN hos det første kretselementet er både koblet til gateterminalen hos PMOS-transistoren  $MP_7$  og til gateterminalen hos NMOS-transistoren  $MN_7$ . Videre er utgangsterminalen SN hos det andre kretselementet både koblet til en 25 gateterminal hos en PMOS-transistor  $MP_8$  og til en gateterminal hos en NMOS-transistor  $MN_8$ . Spenningsforsyningen for disse fire transistorene skjer ved hjelp av spenningsnivåene  $V_{SS}$  og  $V_{DD}$ , og styringsterminalen BN er koblet til brønnterminalen hos NMOS-transistorene  $MN_7$ , og  $MN_8$  og styringsterminalen BP er koblet til brønnterminalen hos PMOS-transistoren  $MP_7$ , og  $MP_8$ , på samme måte som beskrevet ovenfor.

- 30 En utgangsterminal C er koblet til drenerterminalene hos transistorparet  $MP_7, MN_7$  og en utgangsterminal S er koblet til drenerterminalene hos transistorparet  $MP_8, MN_8$ .

Virkemåten til fulladdereren i samsvar med oppfinnelsen vil nå bli beskrevet med henvisning til fig. 2 og 6. I de tre øverste grafene i fig. 6 vises henholdsvis spenningsnivået

$V(X_1)$ ,  $V(X_2)$  og  $V(X_3)$  som funksjon av tid. I den nest nederste grafen vises spenningsnivået  $V(CN)$  og  $V(C)$  og i den nederste grafen vises spenningsnivået  $V(SN)$ ,  $V(BP)$  og  $V(VS)$  som funksjon av tid, som en følge av endringene i spenningsnivåene  $V(X_1)$ ,  $V(X_2)$  og  $V(X_3)$ .

- 5  $V_{DD}$  er i dette eksemplet lik 0 V mens  $V_{SS}$  er tilnærmet 0,6 V, noe som tilsier at transistoren opererer i subterskelområdet. Logisk 0 representeres ved et spenningsnivå mellom 0 - 0,25 V og logisk 1 representeres ved et spenningsnivå på 0,3 - 0,6 V. Spenningsnivået på styringsterminalen BN er lik 0 V og spenningsnivået på styringsterminalen BP er som vist i den nederste grafen i fig. 6 lik 0,3 V.

10

Nedenfor er simuleringen fra fig. 6 representert i form av en tabell:

Tid [ms]	Inn $X_1$	Inn $X_2$	Inn $X_3$	SUM S	CARRY C	SUM SN	CARRY CN
0,010	0	0	0	0	0	1	1
15 0,020	1	0	0	1	0	0	1
0,030	1	1	0	0	1	1	0
0,040	1	1	1	1	1	0	0

Tabell 4: Fulladderer

20

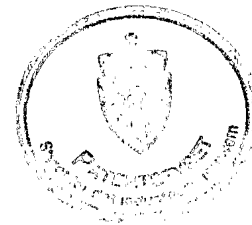
I denne kretsen er alle transistorparene like, det spiller derfor ingen rolle hvor de høye eller lave inngangssignalene er. Fra tabellen sees altså at dersom alle inngangsterminalene er lik logisk 0, så er summen representert ved utgangsterminalen S lik 0 og mente representert ved utgangsterminalen C lik 0. Dersom én inngangsterminal er lik logisk 1, så 25 er S lik 1 og C lik 0. Dersom to inngangsterminaler er lik 1 så er S lik 0 og C lik 1. Dersom alle inngangsterminalene er lik 1 så er S lik 1 og C lik 1. Funksjonen fulladderer er dermed vist.

Det er kjent for en fagmann på området at fulladderer-funksjonen impliserer at NAND2, NOR2 eller INVERT kan oppnås ved å sette en av inngangene fast lik 0 eller 1, eller at alle 30 inngangene kortsluttes slik at de er lik hverandre.

Vi har gjennom eksemplene ovenfor vist at kretselementet i samsvar med oppfinnelsen (vist i fig. 1) har en rekke anvendelsesområder, både anvendt alene og flere anvendt sammen

- som en fulladderer. Det er kjent at transistorer som opererer i subterskel-området har svært lavt energiforbruk per transistor. Med kretselementet oppnås en krets med en rekke anvendelsesområder, og som omfatter svært få transistorer, noe som i seg selv også vil bidra til reduksjon av energiforbruket. Med kretselementet oppnås også en svært få
- 5 elektriske "ledere" i kretsen. Dette bidrar til at kretsen opptar mindre chip-areal og sannsynligheten for feil ved produksjon synker også betraktelig. I tillegg oppnås et rekonfigurerbart kretselement, det vil si at funksjonen til kretselementet kan rekonfigureres etter ønske mellom ulike logiske funksjoner, noe som kan medføre en total reduksjon av chip-areal på en større, sammensatt chip omfattende slike kretselementer.
- 10 I eksemplene er det vist at inngangsterminalene har to logiske verdier 0 eller 1. Det er selvsagt også mulig å anvende denne kretsen med flere diskrete nivåer på inngangsterminalene, slik det antydes i likning [1].

Den foreliggende oppfinnelsen vil for en fagmann på området kunne varieres på flere måter innenfor rammen av patentkravene.



**Patentkrav:**

## 1. Kretselement, omfattende:

N parvise transistorer, hvor hvert par av transistorer omfatter en NMOS-transistor (MN) og en PMOS-transistor (MP) hvilke drensterminaler er koblet til hverandre, og hvor

- 5 drensterminalene til de respektive parvise transistorene også er koblet til hverandre, hvor kildeterminalen hos NMOS-transistoren er koblet til et nedre spenningsnivå ( $V_{SS}$ ) og kildeterminalen hos PMOS-transistoren er koblet til et øvre spenningsnivå ( $V_{DD}$ ) slik at de parvise transistorene opererer i subterskel;

- 10 N inngangsterminaler ( $X_1, X_2, \dots, X_N$ ) koblet til gateterminaler hos de respektive parvise transistorene;

en styringsterminal (BN) koblet til brønnterminalen hos NMOS-transistoren og en styringsterminal (BP) koblet til brønnterminalen hos PMOS-transistoren hos de N parvise transistorene; og

en utgangsterminal (CN) koblet til drensterminalene hos de siste parvise transistorene.

15

2. Kretselement i samsvar med patentkrav 1, **karakterisert** ved at kretselementet er i stand til å rekonfigureres i sanntid mellom en logisk NAND-funksjon, en logisk NOR-funksjon og en CARRY'-funksjon ved endring av spenningsnivået på minst en av styrings-terminalene (BN, BP).

20

3. Kretselement i samsvar med patentkrav 1 eller 2, **karakterisert** ved at N ligger mellom 2 og 8, fortrinnsvis mellom 2 og 4.

4. Terskelementkrets med fulladderer-funksjon, **karakterisert** ved at kretsen omfatter to  
25 terskelementkretser i samsvar med patentkrav 1, hvor utgangsterminalen (CN) hos det første kretselementet er koblet til styringsterminalen (BP) hos det andre kretselementet, og hvor den første utgangen i form av menteterminalen (C) er koblet til drensterminalen hos ett par transistorer i samsvar med patentkrav 1, hvor gateterminalen hos disse er koblet til utgangsterminalen (CN) hos det første kretselementet, og hvor den andre utgangen i form  
30 av summasjonsterminalen (S) er koblet til drensterminalen hos ett par transistorer i samsvar med patentkrav 1, hvor gateterminalen hos disse er koblet til utgangsterminalen (SN) hos det andre kretselementet.



47 72857301

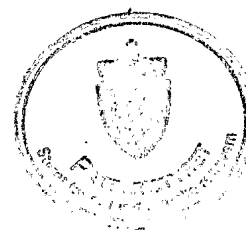
11

**Sammendrag:**

Kretseselement, omfattende  $N$  parvise transistorer, hvor hvert par av transistorer omfatter en NMOS-transistor (MN) og en  
5 PMOS-transistor (MP). Drenterminaler hos disse er koblet til hverandre, og drenterminalene til de respektive parvise transistorene også er koblet til hverandre. Kildeterminalen hos NMOS-transistoren er koblet til et nedre spenningsnivå ( $V_{SS}$ ) og kildeterminalen hos PMOS-transistoren er koblet til  
10 et øvre spenningsnivå ( $V_{DD}$ ), slik at de parvise transistorene opererer i subterskel.  $N$  inngangsterminaler ( $X_1, X_2, \dots, X_N$ ) koblet til gateterminaler hos de respektive parvise transistorene. En styringsterminal (BN) er koblet til brønnterminalen hos NMOS-transistoren og en  
15 styringsterminal (BP) er koblet til brønnterminalen hos PMOS-transistoren hos de  $N$  parvise transistorene. En utgangsterminal (CN) koblet til drenterminalene hos de siste parvise transistorene.

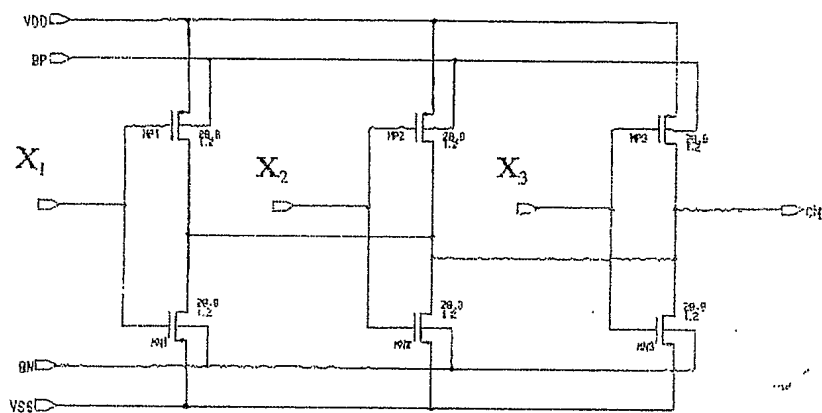
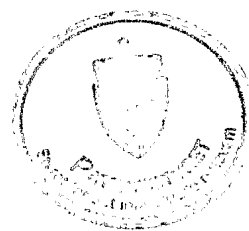
20

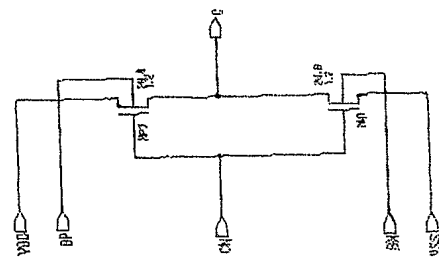
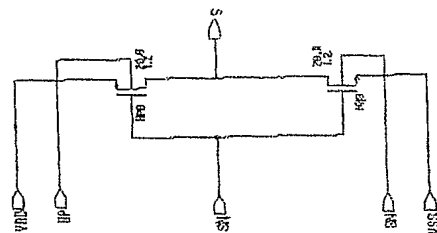
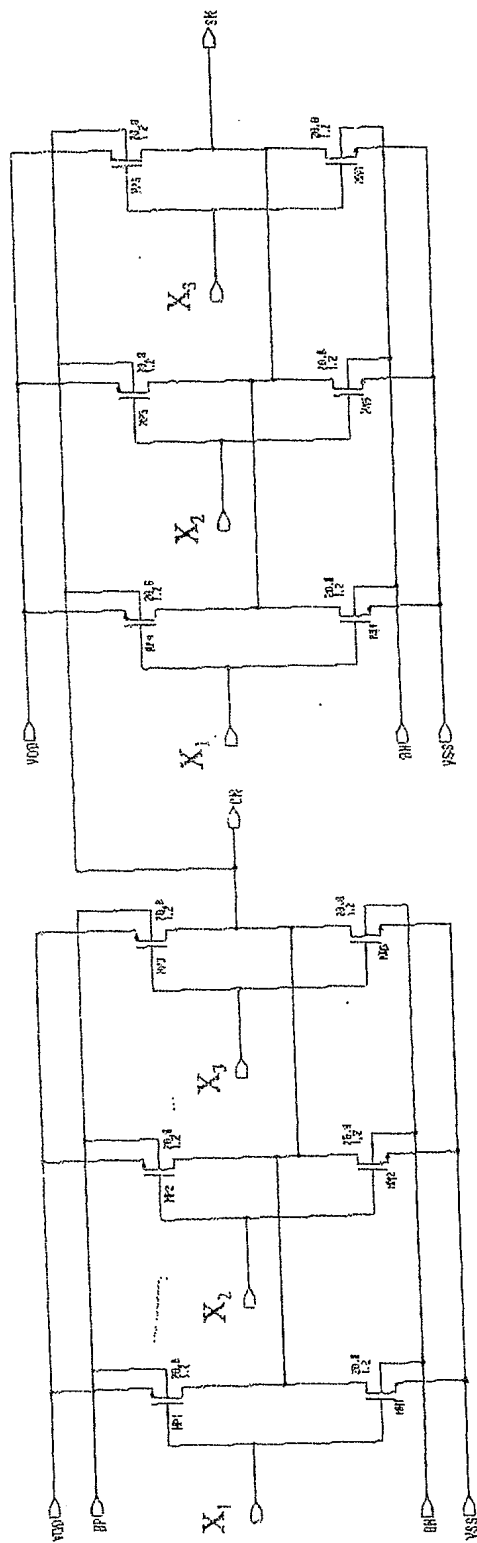
Fig. 1



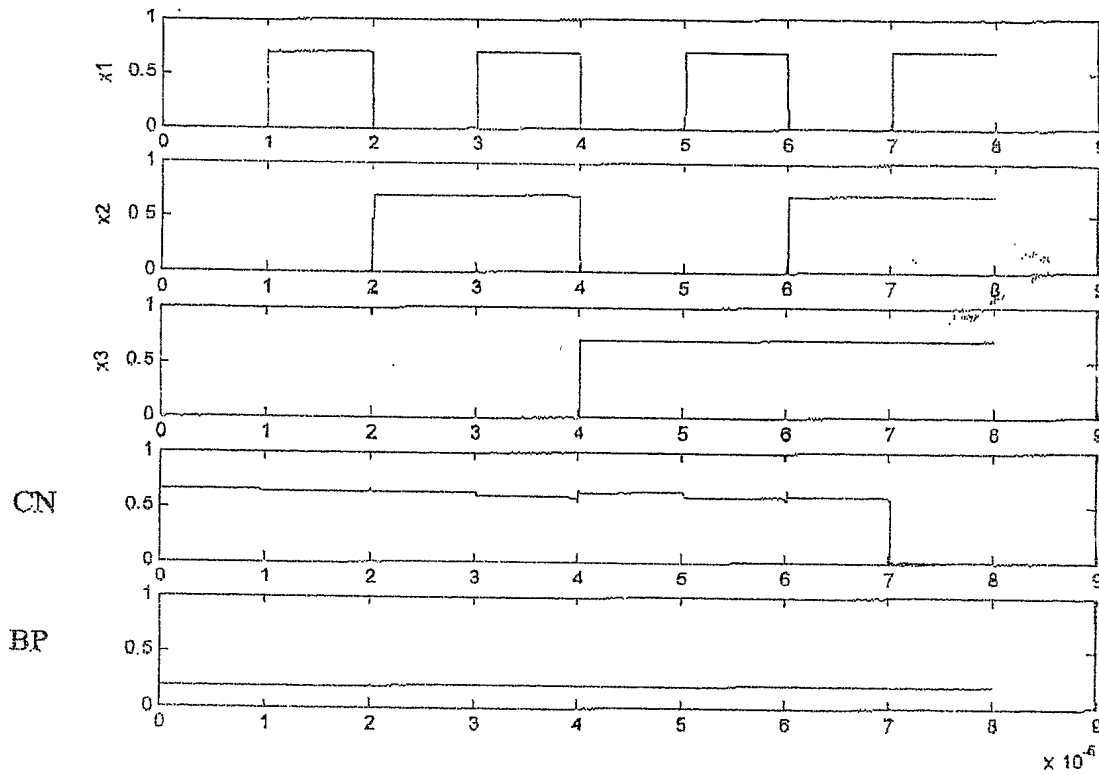


47 72857301

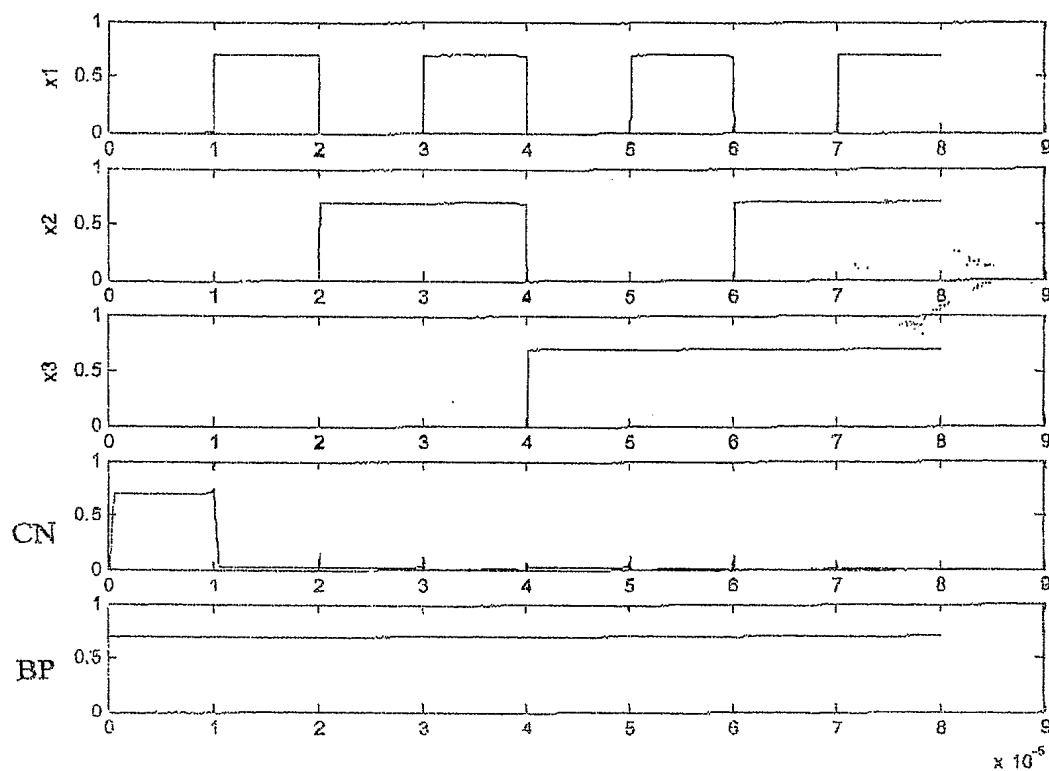
**Fig.1**

**Fig. 2**

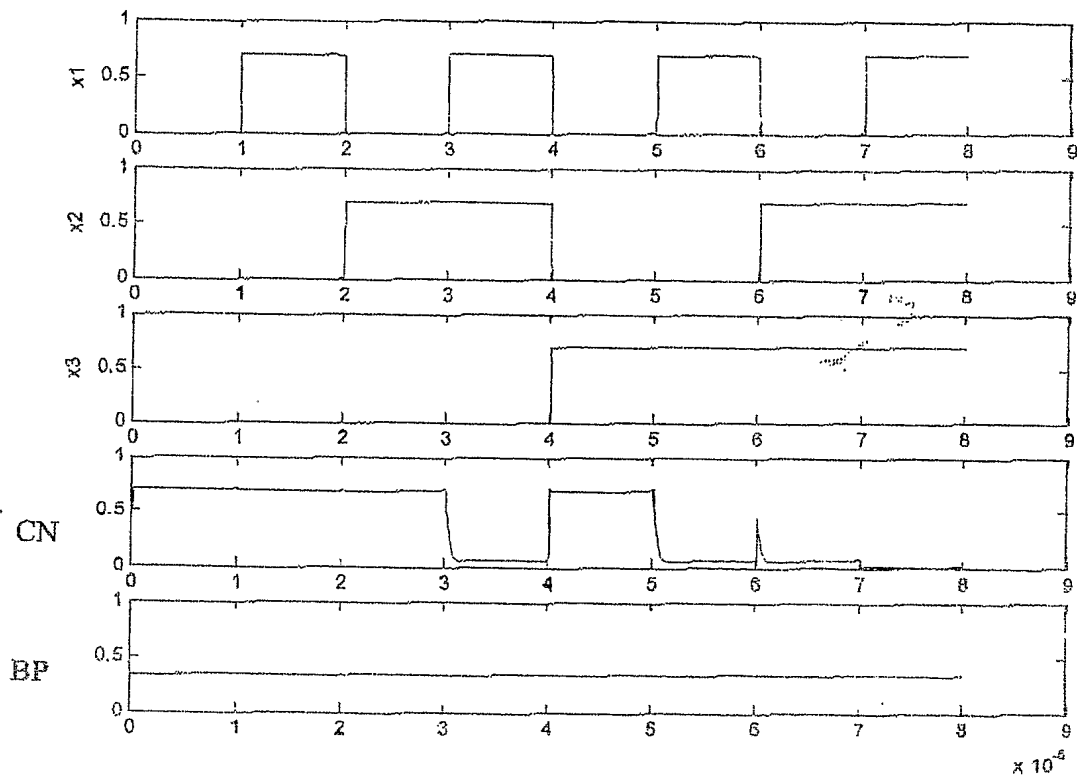
47 72357301

**Fig.3**

47 72857301

**Fig.4**

47 72857301

**Fig.5**

47 72857301

31-Mar-2003

File : LINIR\_ADD\_sweep.MtmV06r27.cou

20:08:52

ELDO v5.6\_1.2 (Production version) : \* "INVLOG\_sweep". Snorre Arnet, 030328

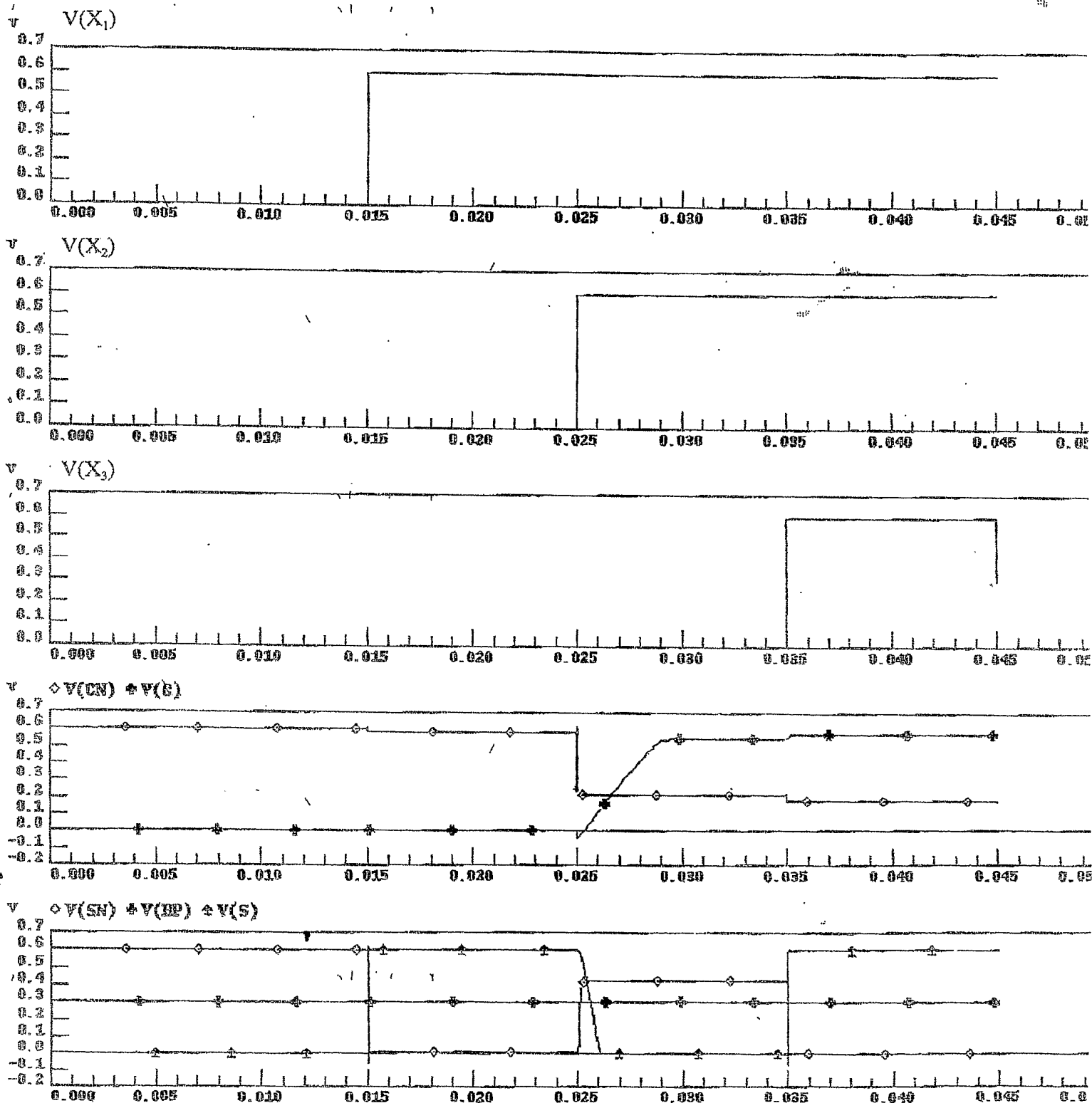


Fig.6

